

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286263

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H01L 21/3205
H01L 21/304

(21)Application number : 11-086783

(71)Applicant : NEC CORP

(22)Date of filing : 29.03.1999

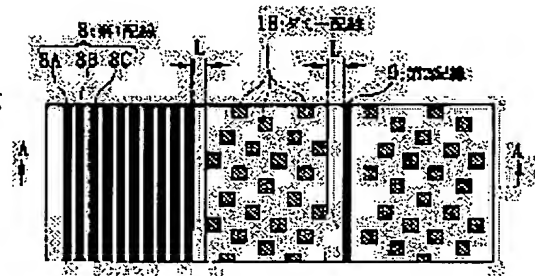
(72)Inventor : IGUCHI MANABU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce wiring capacity efficiently, in a wiring structure which has dummy wiring required for flattening an interlayer insulating film.

SOLUTION: For this semiconductor device, a dummy wiring 18 positioned between a first wiring 8 dense in arrangement and a second wiring 9 sparse in arrangement is separated by a distance which is approximately twice the width of the winding constituting the first wiring 8 or the second wiring 9 from the side edges of the first wiring 8 and the second wiring 8. The first wiring 8 consists of a plurality of wirings in a band form which is formed close to one another, while the second wiring 9 consists of single wiring in band form formed in parallel with the first wiring.



LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection] 19.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286263^V
(P2000-286263A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/3205		H 0 1 L 21/88	S 5 F 0 3 3
21/304	6 2 2	21/304	6 2 2 X

審査請求 有 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願平11-86783

(22) 出願日 平成11年3月29日 (1999. 3. 29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井口 学

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

Fターム(参考) 5F033 HH08 HH11 JJ04 KK01 MM01

MM21 QQ08 QQ09 QQ31 QQ37

QQ48 RR04 RR13 RR14 RR15

SS11 UU03 UU04 VV01 XX01

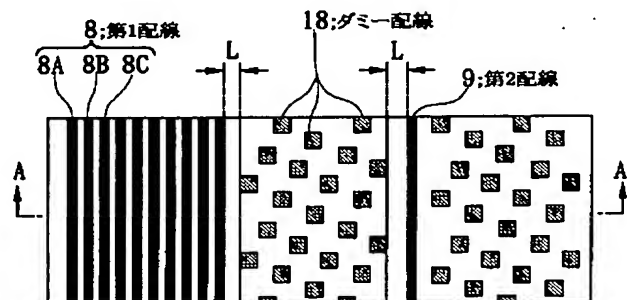
XX25

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 層間絶縁膜平坦化に必要なダミー配線を有する配線構造において、配線容量を効率良く低減する。

【解決手段】 開示されている半導体装置は、配置が密な第1配線8と配置が疎の第2配線9との間の位置に形成されるダミー配線18の側端は、第1配線8及び第2配線8の側端から第1配線8又は第2配線9を構成する配線幅の略2倍の距離だけ離間して形成されている。



【特許請求の範囲】

【請求項 1】 半導体基板上の第 1 層間絶縁膜上に第 2 層間絶縁膜を介して平面的に第 1 配線及び第 2 配線が形成されると共に、前記第 1 配線と前記第 2 配線との間の位置に複数のダミー配線が形成され、前記第 2 層間絶縁膜上に第 3 層間絶縁膜が形成されている半導体装置であって、

前記ダミー配線の側端は、前記第 1 配線及び第 2 配線の側端から該第 1 配線又は第 2 配線を構成する配線幅の 2 ～ 4 倍の距離だけ離間して形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板上の第 1 層間絶縁膜上に第 2 層間絶縁膜を介して平面的に第 1 配線及び第 2 配線からなる第一層配線が形成されると共に、前記第 1 配線と前記第 2 配線との間の位置に複数のダミー配線が形成され、少なくとも前記第一層配線を覆うように形成された第 3 層間絶縁膜上に第二層配線が形成されている半導体装置であって、

前記ダミー配線の側端は、前記第 1 配線及び第 2 配線の側端から該第 1 配線又は第 2 配線を構成する配線幅の 2 ～ 4 倍の距離だけ離間して形成されていることを特徴とする半導体装置。

【請求項 3】 前記第 1 配線は互いに近接して形成された帯状の複数の配線からなる一方、前記第 2 配線は前記第 1 配線と平行に形成された帯状の単一の配線からなることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記第 1 配線を構成する帯状の複数の配線又は前記第 2 配線を構成する帯状の単一の配線は、各々前記配線幅と略同幅に形成されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記複数のダミー配線は、各々平面形状が方形に形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の半導体装置。

【請求項 6】 前記複数のダミー配線は、各々平面形状が正方形に形成されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記複数のダミー配線は、各々前記配線幅の整数倍の幅及び配線間スペースを有するように形成されていることを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置。

【請求項 8】 前記配線幅は、微細加工が可能な最小配線幅からなることを特徴とする請求項 1 乃至 7 のいずれか 1 に記載の半導体装置。

【請求項 9】 半導体基板上に所望の素子領域を形成した後、該半導体基板上に第 1 層間絶縁膜を形成する第 1 層間絶縁膜形成工程と、

前記第 1 層間絶縁膜上に第 2 層間絶縁膜を形成した後、該第 2 層間絶縁膜の配線形成予定位置に配線用溝を形成する配線用溝形成工程と、

前記配線用溝を含む前記第 2 層間絶縁膜の全面に導電膜

を形成した後前記第 2 層間絶縁膜の表面を平坦化することにより、前記配線用溝内に第 1 配線及び第 2 配線からなる第一層配線を形成すると同時に、前記第 1 配線と前記第 2 配線との間の位置に、前記第 1 配線及び第 2 配線の側端から該第 1 配線又は第 2 配線を構成する配線幅の 2 ～ 4 倍の距離だけ側端を離間するようにダミー配線を形成する配線形成工程と、

前記第一層配線及びダミー配線を含む第 2 層間絶縁膜の全面に第 3 層間絶縁膜を形成する第 3 層間絶縁膜形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 3 層間絶縁膜形成工程の後に、前記第 3 層間絶縁膜上に第二層配線を形成する第二層配線形成工程を含むことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記配線形成工程において、互いに近接するように帯状の複数の配線からなる第 1 配線、該第 1 配線と平行に帯状の単一の配線からなる第 2 配線及び複数のダミー配線を同時に形成することを特徴とする請求項 9 又は 10 記載の半導体装置の製造方法。

【請求項 12】 前記配線形成工程における第 2 層間絶縁膜の表面の平坦化を、化学的機械研磨法により行うことを特徴とする請求項 9、10 又は 11 記載の半導体装置の製造方法。

【請求項 13】 前記配線形成工程における前記第 1 配線又は第 2 配線を構成する配線幅を、微細加工が可能な最小配線幅に形成することを特徴とする請求項 9 乃至 12 のいずれか 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置及びその製造方法に係り、詳しくは、層間絶縁膜平坦化に必要なダミー配線を有する配線構造において、隣接する配線間の配線容量の低減を図る半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体装置の代表として知られているマイクロプロセッサやメモリ等の LSI（大規模集積回路）は、集積度の向上につれて個々の素子の寸法は益々微細化されてきている。また、素子を構成する半導体領域の深さも浅く形成されつつあり、さらに、各半導体領域から配線を引き出す場合に、層間絶縁膜に設けるコンタクト孔のサイズも制限されてきている。したがって、配線の微細化が避けられなくなっている。

【0003】 ここで、微細化配線に適した構造として、例えば特開平 10-284600 号公報に示されるように、層間絶縁膜に配線用溝を設けて、この配線用溝に導体を埋め込んで配線を形成するようにしたダマシン（Damascene）配線構造が知られている。

【0004】 図 8 は、上述のようなダマシン配線構造を有する従来の半導体装置を示す平面図、図 9 は図 8 の C

ーC矢視断面図である。図8及び図9において、例えばP型シリコン基板51には選択的に素子領域となるN型ソース領域52及びドレイン領域53が形成されると共に、ソース領域52とドレイン領域53との間のチャンネル領域54上にはゲート酸化膜55を介して、多結晶シリコン等からなるゲート電極56が形成されている。ゲート電極56を含む全面はシリコン酸化膜等からなる第1層間絶縁膜57で覆われて、MOS(Metal Oxide Semiconductor)型トランジスタが形成されている。

【0005】第1層間絶縁膜57上には互いに近接した帯状の複数の配線58A、58B、58C、…からなる第1配線58が形成されると共に、この第1配線58と第2層間絶縁膜60を介して平面的に第1配線58と平行に帯状の単一の配線からなる第2配線59が形成されている。これら第1配線58及び第2配線59は、上述のダマシン配線構造に形成されており、各々シリコン酸化膜等からなる第2層間絶縁膜60に形成された配線用溝61に埋め込まれて第一層配線を構成している。第1配線58の一部は、第1層間絶縁膜57に形成されたプラグ導体62を通じて、ソース領域52又はドレイン領域53と導通している。

【0006】ここで、第1配線58は、近接した複数の配線58A、58B、58C、…により配置が密に、いわゆる配線密度が大きくなるように形成されている一方、第2配線59は単独の配線により配置が疎になるように形成されている。第2層間絶縁膜60の表面はCMP(Chemical Mechanical Polishing; 化学的機械研磨)法により平坦化されている。但し、CMP処理時に、配置が密になっている第1配線58の第2層間絶縁膜60の表面には、後述するような理由によりエロージョン67の発生が避けられない。

【0007】第1配線58及び第2配線59からなる第一層配線を覆うように第2層間絶縁膜60上にはシリコン酸化膜等からなる第3層間絶縁膜63が形成されて、上述のMOS型トランジスタは外部雰囲気から保護されている。

【0008】次に、図10を参照して、同半導体装置の製造方法について工程順に説明する。まず、図10

(a)に示すように、例えばP型シリコン基板51を用いて周知のフォトリソグラフィ法及びイオン注入法等を利用して、選択的に素子領域となるN型ソース領域52及びドレイン領域53、ゲート酸化膜55及びゲート電極56を形成する。次に、CVD(Chemical Vapor Deposition)法等により、全面にシリコン酸化膜等からなる第1層間絶縁膜57を成膜してMOS型トランジスタを形成する。次に、図10(b)に示すように、フォトリソグラフィ法により第1層間絶縁膜57にコンタクト孔を形成した後、このコンタクト孔内に多結晶シリコン等を埋め込んでプラグ導体62を形成する。

【0009】次に、図10(c)に示すように、CVD

法等により第1層間絶縁膜57上にシリコン酸化膜等からなる第2層間絶縁膜60を成膜した後、この第2層間絶縁膜60をフォトリソグラフィ法によりパターンニングして所望の位置に配線用溝61を形成する。次に、図10(d)に示すように、CVD法等により配線用溝61を含む第2層間絶縁膜60の全面に銅、アルミニウム等の導体膜66を成膜した後、図10(e)に示すように、CMPにより第2層間絶縁膜60の表面を平坦化する。この結果、第2層間絶縁膜60の所望位置には帯状の複数の配線58A、58B、58C、…からなる第1配線58、この第1配線58と第2層間絶縁膜60を介して帯状の単一の第2配線59が各々ダマシン配線構造に形成される。

【0010】ここで、配線が密に配置されている第1配線58の第2層間絶縁膜60の表面は、配線が疎に配置されていてその周囲が強度的に優れているシリコン酸化膜により囲まれている第2配線59の第1層間絶縁膜60の表面に比べて強度的に劣っている。それゆえ、第2層間絶縁膜60の表面のCMP処理時に、その部分が集中して研磨されるようになるので、特に第1配線58の第2層間絶縁膜60の表面は凹状に形成されて、いわゆるエロージョン67が生ずる。

【0011】次に、第1配線58及び第2配線59からなる第一層配線を含む第2層間絶縁膜の全面に第3層間絶縁膜63を形成し、上述のMOS型トランジスタを外部雰囲気から保護することにより半導体装置を完成させる。

【0012】ところで、図8及び図9の従来の半導体装置では、第2層間絶縁膜60のCMP処理時に、上述したように特に配線が密に配置されている第1配線58の第2層間絶縁膜60の表面にエロージョン67の発生が避けられないので、第2層間絶縁膜60が平坦度に劣るという欠点が生ずる。このような平坦度に劣る層間絶縁膜上に上層配線を形成した場合には、この上層配線の変形、断線等の不具合が発生し易くなるので、半導体装置の信頼性を低下させる原因となる。

【0013】上述のような欠点を除去するため、例えば特開平10-27799号公報に開示されるように、第1配線と第2配線との間の位置にダミー配線を形成した半導体装置が提供されるに至っている。

【0014】図11は、上述のようなダミー配線を有する従来の半導体装置を示す平面図、図12は図11のD-D矢視断面図である。図11及び図12において、第1層間絶縁膜57上の第1配線58と第2配線59との間の、配線が疎に配置されている第2配線59の周囲の位置には、電氣的に周囲から絶縁している複数のダミー配線68が形成されている。なお、図11及び図12において、図9及び図10の構成部分と対応する部分には、同一の番号を付してその説明を省略する。上述したように、配線が疎に配置されている第2配線59の周囲

5

の位置に複数のダミー配線 68 を形成することにより、第 2 層間絶縁膜 60 の配線密度を略均一化できるので、結果的に第 2 層間絶縁膜 60 の表面の機械的強度も均一化できるようになる。したがって、CMP 処理時に特に第 1 配線 58 の第 2 層間絶縁膜 60 の表面にエロージョンが生ずるのを防止することができるようになる。すなわち、ダミー配線 68 は第 2 層間絶縁膜 60 の平坦化のために不可欠になる。

【0015】ところで、ダミー配線 68 を形成した場合には、エロージョンの発生を防止することができるものの、配線容量の増加が避けられなくなる。しかしながら、図 11 及び図 12 に示すように、ダミー配線 68 を平面的に複数に分割して形成することにより、ダミー配線 68 を一体的に形成した場合よりも配線容量の増加を低減することができるようになる。すなわち、第 2 層間絶縁膜 60 を介して形成される第 1 配線 58 と第 2 配線 59 との間の配線容量の増加を低減することができるようになる。

【0016】図 13 は、ダマシン配線構造を有する半導体装置の配線容量のシミュレーション結果を示す図で、○印 D は図 8 及び図 9 の半導体装置に対応した特性（第 1 配線 58 と第 2 配線 59 との間の配線容量）を示している。また、●印 A は図 11 及び図 12 の半導体装置に対応した特性を示している。特性 A と特性 D とを比較すると明らかなように、図 8 及び図 9 の半導体装置はダミー配線を設けな分だけ配線容量が低減している。

【0017】

【発明が解決しようとする課題】ところで、従来の半導体装置では、層間絶縁膜平坦化のためにダミー配線を形成する場合、このダミー配線を単にランダムに複数に分割して形成しているだけなので、配線容量を効率良く低減するのが困難である、という問題がある。すなわち、層間絶縁膜上に平面的に一定の寸法のダミー配線を形成する場合は、図 11 及び図 12 に示すように、その寸法を複数に分割することにより一体的に形成した場合よりも配線容量を低減できるが、単にランダムに複数に分割して形成してもその分平面的寸法が増加してしまうので、結果的にチップ面積を増加させてしまう場合が生じる。あるいは、ダミー配線の配置を考慮しないで単にランダムに複数に分割して形成しただけでは、配線容量をほとんど低減できない場合もある。

【0018】この発明は、上述の事情に鑑みてなされたもので、層間絶縁膜平坦化に必要なダミー配線を有する配線構造において、配線容量を効率良く低減することができるようにした半導体装置及びその製造方法を提供することを目的としている。

【0019】

【課題を解決するための手段】上記課題を解決するために、請求項 1 記載の発明は、半導体基板上の第 1 層間絶縁膜上に第 2 層間絶縁膜を介して平面的に第 1 配線及び

6

第 2 配線が形成されると共に、上記第 1 配線と上記第 2 配線との間の位置に複数のダミー配線が形成され、上記第 2 層間絶縁膜上に第 3 層間絶縁膜が形成されている半導体装置であって、上記ダミー配線の側端は、上記第 1 配線及び第 2 配線の側端から該第 1 配線又は第 2 配線を構成する配線幅の 2 ～ 4 倍の距離だけ離間して形成されていることを特徴としている。

【0020】請求項 2 記載の発明は、半導体基板上の第 1 層間絶縁膜上に第 2 層間絶縁膜を介して平面的に第 1 配線及び第 2 配線からなる第一層配線が形成されると共に、上記第 1 配線と上記第 2 配線との間の位置に複数のダミー配線が形成され、少なくとも上記第一層配線を覆うように形成された第 3 層間絶縁膜上に第二層配線が形成されている半導体装置であって、上記ダミー配線の側端は、上記第 1 配線及び第 2 配線の側端から該第 1 配線又は第 2 配線を構成する配線幅の 2 ～ 4 倍の距離だけ離間して形成されていることを特徴としている。

【0021】また、請求項 3 記載の発明は、請求項 1 又は 2 記載の半導体装置に係り、上記第 1 配線は互いに近接して形成された帯状の複数の配線からなる一方、上記第 2 配線は上記第 1 配線と平行に形成された帯状の単一の配線からなることを特徴としている。

【0022】請求項 4 記載の発明は、請求項 3 記載の半導体装置に係り、上記第 1 配線を構成する帯状の複数の配線又は上記第 2 配線を構成する帯状の単一の配線は、各々上記配線幅と略同幅に形成されていることを特徴としている。

【0023】請求項 5 記載の発明は、請求項 1 乃至 4 のいずれか 1 に記載の半導体装置に係り、上記複数のダミー配線は、各々平面形状が方形に形成されていることを特徴としている。

【0024】請求項 6 記載の発明は、請求項 5 記載の半導体装置に係り、上記複数のダミー配線は、各々平面形状が正方形に形成されていることを特徴としている。

【0025】請求項 7 記載の発明は、請求項 1 乃至 6 のいずれか 1 に記載の半導体装置に係り、上記複数のダミー配線は、各々上記配線幅の整数倍の幅及び配線間スペースを有するように形成されていることを特徴としている。

【0026】また、請求項 8 記載の発明は、請求項 1 乃至 7 のいずれか 1 に記載の半導体装置に係り、上記配線幅は、微細加工が可能な最小配線幅からなることを特徴としている。

【0027】請求項 9 記載の発明は、半導体基板に所望の素子領域を形成した後、該半導体基板上に第 1 層間絶縁膜を形成する第 1 層間絶縁膜形成工程と、上記第 1 層間絶縁膜上に第 2 層間絶縁膜を形成した後、該第 2 層間絶縁膜の配線形成予定位置に配線用溝を形成する配線用溝形成工程と、上記配線用溝を含む上記第 2 層間絶縁膜の全面に導電膜を形成した後上記第 2 層間絶縁膜の表面

を平坦化することにより、上記配線用溝内に第1配線及び第2配線からなる第一層配線を形成すると同時に、上記第1配線と上記第2配線との間の位置に、上記第1配線及び第2配線の側端から該第1配線又は第2配線を構成する配線幅の2~4倍の距離だけ側端を離間するようにダミー配線を形成する配線形成工程と、上記第一層配線及びダミー配線を含む第2層間絶縁膜の全面に第3層間絶縁膜を形成する第3層間絶縁膜形成工程とを含むことを特徴としている。

【0028】請求項10記載の発明は、請求項9記載の半導体装置の製造方法に係り、上記第3層間絶縁膜形成工程の後に、上記第3層間絶縁膜上に第二層配線を形成する第二層配線形成工程を含むことを特徴としている。

【0029】請求項11記載の発明は、請求項9又は10記載の半導体装置の製造方法に係り、上記配線形成工程において、互いに近接するように帯状の複数の配線からなる第1配線、該第1配線と平行に帯状の単一の配線からなる第2配線及び複数のダミー配線を同時に形成することを特徴としている。

【0030】請求項12記載の発明は、請求項9、10又は11記載の半導体装置の製造方法に係り、上記配線形成工程における第2層間絶縁膜の表面の平坦化を、化学的機械研磨法により行うことを特徴としている。

【0031】さらにまた、請求項13記載の発明は、請求項9乃至12のいずれか1に記載の半導体装置の製造方法に係り、上記配線形成工程における上記第1配線又は第2配線を構成する配線幅を、微細加工が可能な最小配線幅に形成することを特徴としている。

【0032】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1は、この発明の第1実施例である半導体装置の構成を示す平面図、図2は図1のA-A矢視断面図、また、図3は同半導体装置の製造方法を工程順に示す工程図である。この例の半導体装置は、図1及び図2に示すように、例えばP型シリコン基板1には選択的に素子領域となるN型ソース領域2及びドレイン領域3が形成されると共に、ソース領域2とドレイン領域3との間のチャンネル領域4上にはゲート酸化膜5を介して、多結晶シリコン等からなるゲート電極6が形成されている。ゲート電極6を含む全面はシリコン酸化膜等からなる膜厚が0.6~0.8 μ mの第1層間絶縁膜7で覆われて、MOS型トランジスタが形成されている。

【0033】第1層間絶縁膜7上には略0.28 μ mの配線スペースを介して互いに近接した、幅が略0.28 μ mの帯状の複数の配線8A、8B、8C、…からなる第1配線8が形成されると共に、この第1配線8と第2層間絶縁膜10を介して平面的に第1配線8と平行に、

幅が略0.28 μ mの帯状の単一の配線からなる第2配線9が形成されている。これら第1配線8及び第2配線9は、前述のダマシン配線構造に形成されており、各々シリコン酸化膜等からなる膜厚が0.6~0.8 μ mの第2層間絶縁膜10に形成された配線用溝11に埋め込まれて第一層配線を構成している。第1配線8及び第2配線9は、リソグラフィ技術によって微細加工が可能な最小配線幅に形成されていることが望ましい。第1配線8の一部は、第1層間絶縁膜7に形成された多結晶シリコン等からなるプラグ導体12を通じて、ソース領域2又はドレイン領域3と導通している。

【0034】ここで、第1配線8は、近接した複数の配線8A、8B、8C、…により配置が密に、いわゆる配線密度が大きくなるように形成されている一方、第2配線9は単独の配線により配置が疎になるように形成されている。第2層間絶縁膜10の表面はCMP法により平坦化されている。

【0035】第1層間絶縁膜7上の第1配線8と第2配線9との間の位置には、電気的に周囲から絶縁している、一辺が略0.56 μ mの正形状の複数のダミー配線18が、相互に略0.56 μ mの配線スペースを介して形成されている。このダミー配線18は、第一層配線を構成している第1配線8及び第2配線9と共に、膜厚が0.2~0.4 μ mの銅、アルミニウム等の導体で構成されている。ここで、ダミー配線18の幅及び配線間スペースは、第1配線8又は第2配線9の配線幅(略0.28 μ m)の整数倍に設けるのが、設計上有利である。また、ダミー配線18の形状は、上述のような正形状を含めた方形状に選ぶのが、設計上有利である。

【0036】ダミー配線18の側端は、詳細には第1配線8及び第2配線9と最接近している図示位置で左右側の両ダミー配線18の側端は、第1配線8及び第2配線9の側端からこれら両配線8、9を構成する配線幅(略0.28 μ m)の略2倍の距離L(略0.56 μ m)だけ離間して形成されている。すなわち、この例では、ダミー配線18の位置は、第1配線8及び第2配線9に対して上述の距離Lだけ離間した位置に選ばれるように制限されている。このような条件を選ぶことにより、後述するように配線容量を効率良く低減することができるようになる。

【0037】第1配線8及び第2配線9からなる第一層配線を覆うように第2層間絶縁膜10上にはシリコン酸化膜等からなる膜厚が0.6~0.8 μ mの第3層間絶縁膜13が形成されて、上述のMOS型トランジスタは外部雰囲気から保護されている。

【0038】図13において、印Bは、この例による半導体装置に対応した特性を示している。すなわち、従来の印Aの配線容量(略0.156fF(ヘムトファラッド))に対して、この例の印Bでは略0.146fFが得られ、配線容量を略6.4%低減できたことを

示している。

【0039】次に、図3を参照して、同半導体装置の製造方法について工程順に説明する。まず、図3(a)に示すように、例えばP型シリコン基板1を用いて周知のフォトリソグラフィ法及びイオン注入法等を利用して、選択的に素子領域となるN型ソース領域2及びドレイン領域3、ゲート酸化膜5及びゲート電極6を形成する。次に、CVD法等により、全面にシリコン酸化膜等からなる膜厚が $0.6 \sim 0.8 \mu\text{m}$ の第1層間絶縁膜7を成膜してMOS型トランジスタを形成する。

【0040】次に、図3(b)に示すように、フォトリソグラフィ法により第1層間絶縁膜7にコンタクト孔を形成した後、このコンタクト孔内に多結晶シリコン等を埋め込んでプラグ導体12を形成する。

【0041】次に、図3(c)に示すように、CVD法等により第1層間絶縁膜7上にシリコン酸化膜等からなる膜厚が $0.6 \sim 0.8 \mu\text{m}$ の第2層間絶縁膜10を成膜した後、この第2層間絶縁膜10をフォトリソグラフィ法によりパターンニングして所望の位置に配線用溝11を形成する。この配線用溝11は、後述するように、同時に形成する第1配線8、第2配線9及びダミー配線18が所定の位置関係に形成されるようにパターンニングして形成する。

【0042】次に、図3(d)に示すように、CVD法等により配線用溝11を含む第2層間絶縁膜10の全面に、膜厚が $0.2 \sim 0.4 \mu\text{m}$ の銅、アルミニウム等の導体膜16を成膜する。

【0043】次に、図3(e)に示すように、CMPにより第2層間絶縁膜10の表面を平坦化して、第1配線8、第2配線9及びダミー配線18を同時に形成する。すなわち、第1層間絶縁膜7上に略 $0.28 \mu\text{m}$ の配線スペースを介して互いに近接した、幅が略 $0.28 \mu\text{m}$ の帯状の複数の配線8A、8B、8C、…からなる第1配線8と、この第1配線8と第2層間絶縁膜10を介して平面的に第1配線8と平行に、幅が略 $0.28 \mu\text{m}$ の帯状の単一の配線からなる第2配線9と、第1配線8と第2配線9との間の位置に、電気的に周囲から絶縁している一辺が略 $0.56 \mu\text{m}$ の正形状からなり、相互に略 $0.56 \mu\text{m}$ の配線スペースを介して配置された複数のダミー配線18とを、同時に形成する。

【0044】また、ダミー配線18の側端となる、第1配線8及び第2配線9と最接近している図示位置で左右側の両ダミー配線18の側端を、第1配線8及び第2配線9の側端からこれら両配線8、9を構成する配線幅(略 $0.28 \mu\text{m}$)の略2倍の距離L(略 $0.56 \mu\text{m}$)だけ離間して形成する。

【0045】この結果、第1配線8及び第2配線9は、前述のダマシン配線構造に形成され、第一層配線を構成するように形成される。また、第1配線8の一部は、第1層間絶縁膜7に形成されたプラグ導体12を通じて、

ソース領域2又はドレイン領域3と導通するように形成される。

【0046】次に、第1配線8及び第2配線9からなる第一層配線を含む第2層間絶縁膜の全面にシリコン酸化膜等からなる膜厚が $0.6 \sim 0.8 \mu\text{m}$ の第3層間絶縁膜13を形成し、上述のMOS型トランジスタを外部雰囲気から保護することによりこの例の半導体装置を完成させる。

【0047】このように、この例の構成によれば、配置が密な第1配線8と配置が疎の第2配線9との間の位置に形成されるダミー配線18の側端は、第1配線8及び第2配線9の側端から第1配線8又は第2配線9を構成する配線幅の略2倍の距離だけ離間して形成されるので、配線容量が増加する位置へのダミー配線18の形成を避けることができる。したがって、層間絶縁膜平坦化に必要なダミー配線を有する配線構造において、配線容量を効率良く低減することができる。

【0048】◇第2実施例

図4は、この発明の第2実施例である半導体装置の構成を示す平面図、図5は図4のB-B矢視断面図である。この例の半導体装置の構成が、上述した第1実施例の構成と大きく異なるところは、配置が密な第1配線及び配置が疎の第2配線に対する距離を、第1実施例におけるその略2倍に設定してダミー配線を形成するようにした点である。この例の半導体装置は、図4及び図5に示すように、ダミー配線23の側端となる第1配線21及び第2配線22と最接近している図示位置で左右側の両ダミー配線23の側端は、第1配線21及び第2配線22の側端からこれら両配線21、22を構成する配線幅(略 $0.28 \mu\text{m}$)の略4倍の距離L(略 $0.112 \mu\text{m}$)だけ離間して形成されている。すなわち、この例では、ダミー配線23の位置は、第1配線21及び第2配線22に対して上述の距離Lだけ離間した位置に選ばれるように制限される。このような条件を選ぶことにより、後述するように配線容量を効率良く低減することができるようになる。

【0049】この例の半導体装置を製造するには、図3(c)の第1実施例の半導体装置の製造工程において、配線用溝のパターンを変更するだけで容易に製造することができる。これ以外は、上述した第1実施例と略同様である。それゆえ、図4及び図5において、図1及び図2の構成部分と対応する部分には、同一の番号を付してその説明を省略する。

【0050】図13において、●印Cは、この例による半導体装置に対応した特性を示している。すなわち、従来の印Aの配線容量(略 0.156 fF (ヘムトフラッド))に対して、この例の印Cでは略 0.143 fF が得られ、配線容量を略8.3%低減できたことを示している。

【0051】このように、この例の構成によっても、第

1 実施例において述べたのと略同様な効果を得ることができる。

【0052】◇第3実施例

図6は、この発明の第3実施例である半導体装置の構成を示す断面図である。この例の半導体装置の構成が、上述した第1実施例の構成と大きく異なるところは、第3層間絶縁膜上に第二層配線を形成して多層配線構造に形成するようにした点である。この例の半導体装置は、図6に示すように、第1配線8及び第2配線9からなる第一層配線を覆っている第3層間絶縁膜13上の所望の位置には第二層配線14が形成され、この第二層配線14はシリコン酸化膜等からなる膜厚が0.6~0.8 μ mの最終絶縁膜15により保護されている。以上のような構成により、多層配線構造が形成される。

【0053】この例によれば、多層配線構造に形成したことにより、第1配線8と第2配線9との間に形成される配線容量だけでなく、第3層間絶縁膜13を介して第1配線8及び第2配線9からなる第一層配線と第二層配線14との間に形成される配線容量も低減することができるようになる。この例の半導体装置を製造するには、図3(e)の第1実施例の半導体装置の製造工程の後で、第3層間絶縁膜13、第二層配線14及び最終絶縁膜15を順次に形成することにより、容易に製造することができる。

【0054】このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、多層配線構造における第一層配線と第二層配線との間に形成される配線容量も低減することができる。

【0055】◇第4実施例

図7は、この発明の第4実施例である半導体装置の構成を示す断面図である。この例の半導体装置の構成が、上述した第2実施例の構成と大きく異なるところは、第3層間絶縁膜上に第二層配線を形成して多層配線構造に形成するようにした点である。この例の半導体装置は、図7に示すように、第1配線21及び第2配線22からなる第一層配線を覆っている第3層間絶縁膜13上の所望の位置には第二層配線24が形成され、この第二層配線24はシリコン酸化膜等からなる最終絶縁膜25により保護されている。以上のような構成により、多層配線構造が形成される。

【0056】この例によれば、第3実施例と同様に、多層配線構造に形成したことにより、第1配線21と第2配線22との間に形成される配線容量だけでなく、第3層間絶縁膜13を介して第1配線21及び第2配線22からなる第一層配線と第二層配線24との間に形成される配線容量も低減することができるようになる。

【0057】このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、多層配線構造

における第一層配線と第二層配線との間に形成される配線容量も低減することができる。

【0058】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、配置が密な第1配線と配置が疎の第2配線に対するダミー配線の距離は、第1配線及び第2配線を構成する配線幅の略2倍又は略4倍に選んだ例で説明したが、2~4倍の範囲に選べば略同様な効果が得られる。なお、略4倍以上に選んだ場合には、平面的な寸法を増加させる割には配線容量の低減効果が少なくなるので望ましくない。

【0059】また、層間絶縁膜を平坦化するための手段は、CMP処理に限らずエッチバックにより行ってもよい。また、多層配線構造を選ぶ場合は、三層以上にすることもできる。また、層間絶縁膜はシリコン酸化膜に限らずに、BSG(Boro-Silicate Glass)膜、PSG(Phospho-Silicate Glass)膜、BPSG(Boro-Phospho-Silicate Glass)膜等の他の絶縁膜を用いることができる。また、各半導体領域の導電型はP型とN型とを逆にすることができる。すなわち、Nチャネル型に限らずPチャネル型のMIS型トランジスタに対しても適用できる。また、各絶縁膜、導電膜等の膜厚、材料、成膜方法等は一例を示したものであり、用途、目的等によって変更することができる。

【0060】

【発明の効果】以上説明したように、この発明の半導体装置及びその製造方法によれば、配置が密な第1配線と配置が疎の第2配線との間の位置に形成されるダミー配線の側端は、第1配線及び第2配線の側端から第1配線又は第2配線を構成する配線幅の2~4倍の距離だけ離間して形成されるので、配線容量が増加する位置へのダミー配線の形成を避けることができる。したがって、層間絶縁膜平坦化に必要なダミー配線を有する配線構造において、配線容量を効率良く低減することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の構成を示す平面図である。

【図2】図1のA-A矢視断面図である。

【図3】同半導体装置の製造方法を工程順に示す工程図である。

【図4】この発明の第2実施例である半導体装置の構成を示す平面図である。

【図5】図4のB-B矢視断面図である。

【図6】この発明の第3実施例である半導体装置の構成を示す断面図である。

【図7】この発明の第4実施例である半導体装置の構成を示す断面図である。

【図8】従来の半導体装置の構成を示す平面図である。

【図9】図8のC-C矢視断面図である。

13

14

【図10】同半導体装置の製造方法を工程順に示す工程図である。

【図11】従来の半導体装置の構成を示す平面図である。

【図12】図11のD-D矢視断面図である。

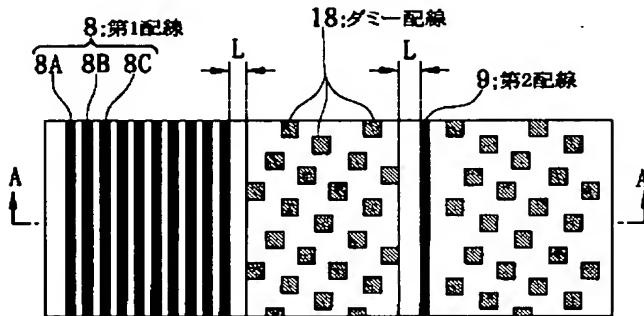
【図13】この例の実施例の半導体装置と従来の半導体装置とにより得られた配線容量を比較して示す図である。

【符号の説明】

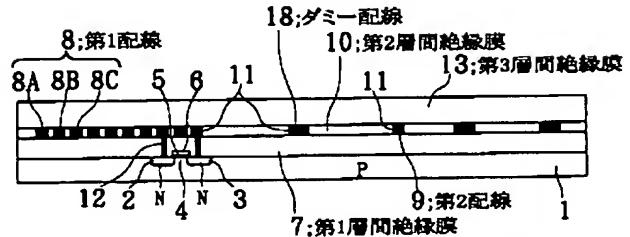
- 1 P型シリコン基板
2 N型ソース領域
3 N型ドレイン領域
4 チャンネル領域
5 ゲート酸化膜

- 6 ゲート電極
7 第1層間絶縁膜
8、21 第1配線
8A、8B、8C、… 配線
9、22 第2配線
10 第2層間絶縁膜
11 配線用溝
12 プラグ導体
13 第3層間絶縁膜
10 14、24 第二層配線
15、25 最終絶縁膜
16 導体膜
18、23 ダミー配線

【図1】

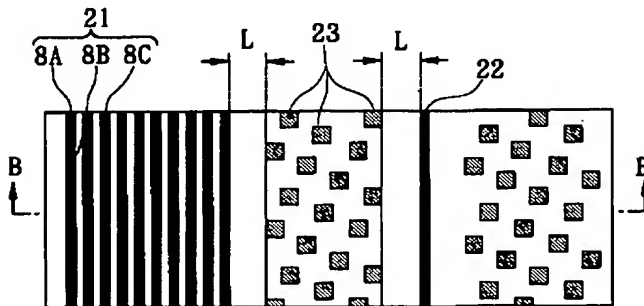


【図2】

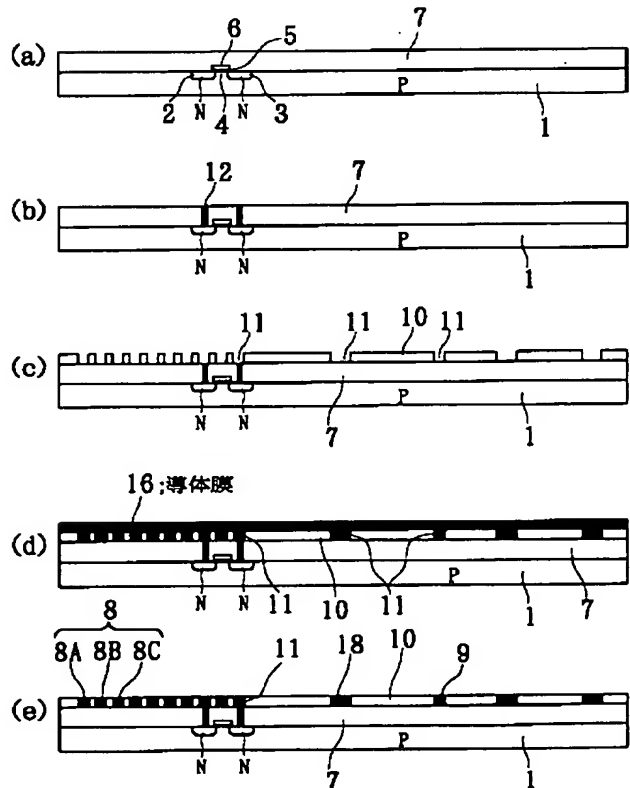
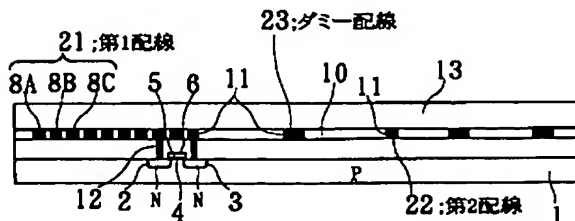


【図3】

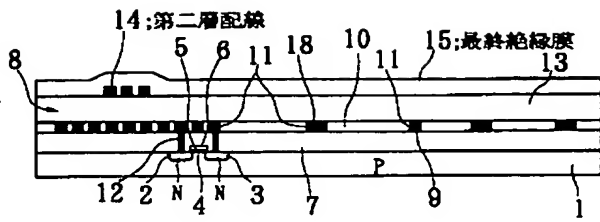
【図4】



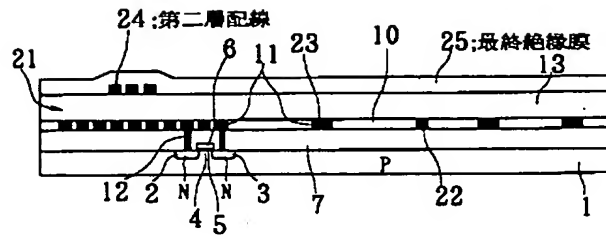
【図5】



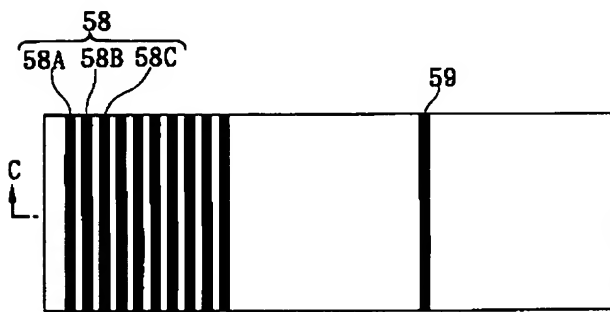
【図 6】



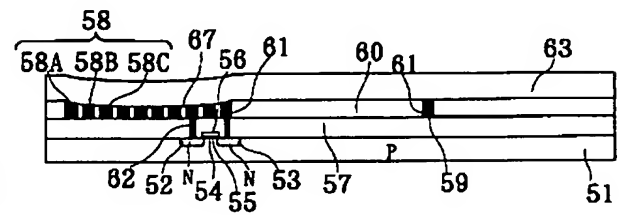
【図 7】



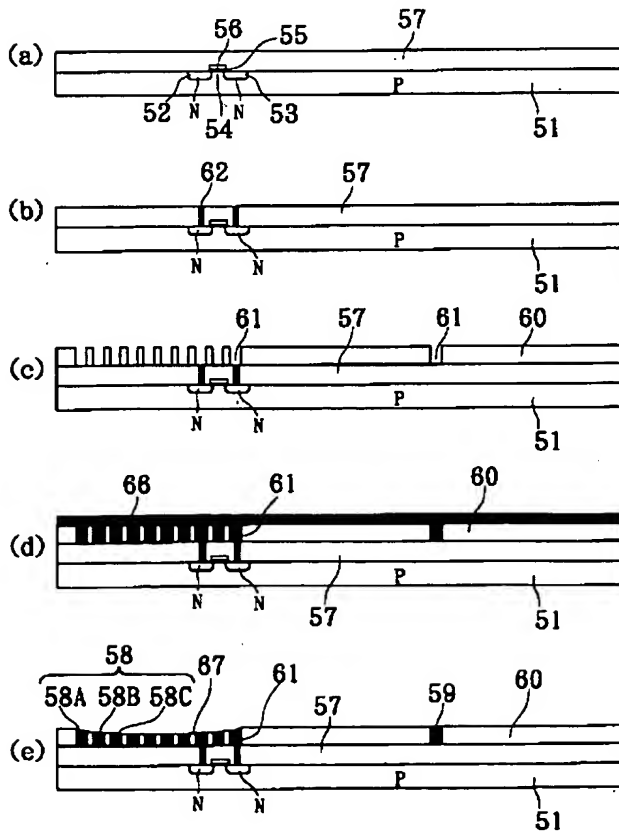
【図 8】



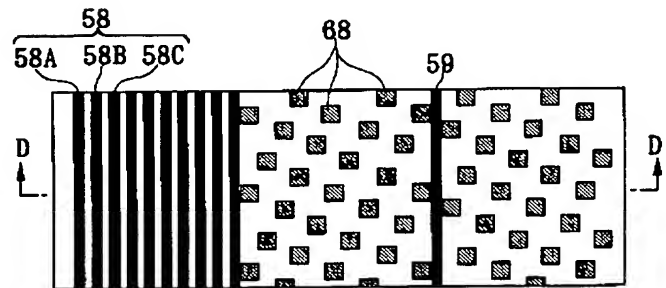
【図 9】



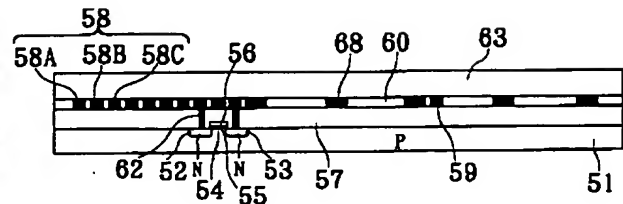
【図 10】



【図 11】



【図 12】



【図 13】

